

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-246910

(P2002-246910A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 M 1/12

H 0 3 M 1/12

B 2 G 1 3 2

G 0 1 R 31/316

G 0 1 R 31/28

C 5 J 0 2 2

審査請求 未請求 請求項の数20 O L (全 15 頁)

(21) 出願番号 特願2001-44078(P2001-44078)

(22) 出願日 平成13年2月20日 (2001.2.20)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 浅見 幸司

東京都練馬区旭町1丁目32番1号株式会社

アドバンテスト内

(74) 代理人 100104156

弁理士 龍華 明裕

Fターム(参考) 2G132 AE00 AL11

5J022 AA01 BA01 BA10 CA07 CA10

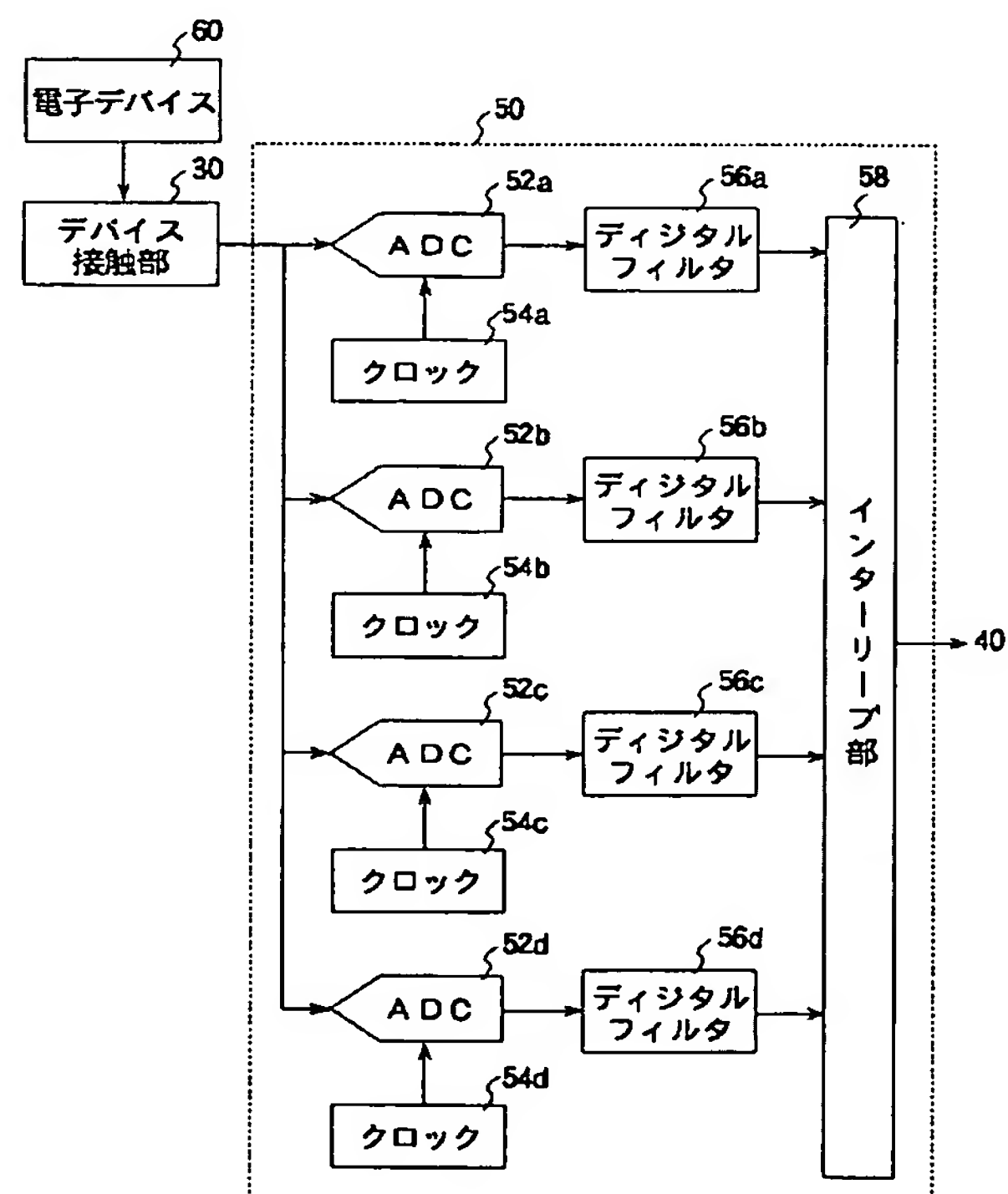
CC03 CD01 CE01

(54) 【発明の名称】 インターリーブAD変換方式波形ディジタイザ装置

(57) 【要約】

【課題】 複数のA/Dコンバータ間におけるサンプリング位相誤差の補正が可能なインターリーブA/D変換方式波形ディジタイザ装置を提供する。

【解決手段】 電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでディジタル信号に順次変換するN (Nは2以上の整数) 個のA/Dコンバータと、N個のA/Dコンバータが出力するディジタル信号のそれぞれに、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を出力する、N個のA/Dコンバータにそれぞれ対応したN個のディジタルフィルタとを備えることを特徴とするディジタイザ装置を提供する。



【特許請求の範囲】

【請求項 1】 電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置であって、

前記電子デバイスから出力されるアナログ信号を、所定の時間間隔でデジタル信号に順次変換する A/D コンバータと、

前記 A/D コンバータが変換した前記デジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するデジタルフィルタと、

前記 A/D コンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 A/D コンバータが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた前記補正係数を、前記 A/D コンバータが変換した前記デジタル信号のそれぞれに対して乗算した補正信号を出力するデジタルフィルタとを備えることを特徴とするディジタイザ装置。

【請求項 2】 前記デジタルフィルタは、前記補正係数を算出するためのインパルス応答関数が与えられ、前記デジタルフィルタは、前記理想サンプリングタイミングから、前記位相誤差だけ離れたタイミングに対応する前記インパルス応答関数の値である前記補正係数と、前記デジタル信号の値とをたたみ込み演算して算出した前記補正信号を出力することを特徴とする請求項 1 に記載のディジタイザ装置。

【請求項 3】 電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置であって、

前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換する N (N は 2 以上の整数) 個の A/D コンバータと、

前記 N 個の A/D コンバータが出力する前記デジタル信号のそれぞれに、それぞれ対応する前記 A/D コンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 N 個の A/D コンバータのそれぞれが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を出力する、前記 N 個の A/D コンバータにそれぞれ対応した N 個のデジタルフィルタとを備えることを特徴とするディジタイザ装置。

【請求項 4】 前記 N 個のデジタルフィルタは、前記補正係数を算出するためのインパルス応答関数が格納された記憶部をそれぞれ有し、

前記 N 個のデジタルフィルタは、前記理想サンプリングタイミングから、それぞれ対応する前記 A/D コンバータの前記位相誤差だけ離れたタイミングに対応する前記インパルス応答関数の値である前記補正係数と、それ

ぞれ対応する前記 A/D コンバータが変換した前記デジタル信号の値とをたたみ込み演算した前記補正信号をそれぞれ出力することを特徴とする請求項 3 に記載のディジタイザ装置。

【請求項 5】 前記記憶部は、対応する前記 A/D コンバータのゲイン特性に基づいた、前記インパルス応答関数を格納することを特徴とする請求項 4 に記載のディジタイザ装置。

【請求項 6】 前記記憶部は、対応する前記 A/D コンバータの周波数特性に基づいた、前記インパルス応答関数を格納することを特徴とする請求項 4 又は 5 に記載のディジタイザ装置。

【請求項 7】 前記 N 個のデジタルフィルタは、それぞれの前記デジタルフィルタのインパルス応答関数において、それぞれ対応する前記 A/D コンバータの前記実サンプリングタイミングにおける値を、前記補正係数として格納する記憶部をそれぞれ有し、

前記 N 個のデジタルフィルタは、それぞれ対応する前記 A/D コンバータが変換した前記デジタル信号の値と、前記補正係数とをたたみ込み演算した前記補正信号をそれぞれ出力することを特徴とする請求項 3 に記載のディジタイザ装置。

【請求項 8】 前記記憶部は、対応する前記 A/D コンバータのゲイン特性に基づいた、前記補正係数を格納することを特徴とする請求項 7 に記載のディジタイザ装置。

【請求項 9】 前記記憶部は、対応する前記 A/D コンバータの周波数特性に基づいた、前記補正係数を格納することを特徴とする請求項 7 又は 8 に記載のディジタイザ装置。

【請求項 10】 前記 N 個のデジタルフィルタがそれぞれ出力した前記補正信号を所定の順序に整列させたデータシーケンスを生成するインターリーブ部を更に備えることを特徴とする請求項 3 から 9 のいずれかに記載のディジタイザ装置。

【請求項 11】 複数の前記デジタルフィルタがそれぞれ出力した前記補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に備え、

前記 N 個のデジタルフィルタは、それぞれ対応する前記 A/D コンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、それぞれ対応する前記 A/D コンバータが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差と、

それぞれ対応する前記 A/D コンバータの前記理想サンプリングタイミングの、基準となる前記 A/D コンバータの前記理想サンプリングタイミングに対する位相差とに基づいた前記補正係数を、それぞれ対応する前記 A/D コンバータが変換した前記デジタル信号のそれぞれ

に対して乗算した前記補正信号を出力することを特徴とする請求項 3 に記載のディジタル化装置。

【請求項 1 2】 前記 N 個のディジタルフィルタは、所定のインパルス応答関数をポリフェーズ分解し、前記位相誤差に基づいた係数を乗算した前記複数の補正係数を格納する記憶部を有し、

前記 N 個のディジタルフィルタは、前記複数の補正係数と前記ディジタル信号とをたたみ込み演算した前記補正信号を出力することを特徴とする請求項 1 1 に記載のディジタル化装置。

【請求項 1 3】 前記 N 個のディジタルフィルタのそれぞれの前記記憶部は、対応する前記 A/D コンバータの前記理想サンプリングタイミングにおける、前記インパルス応答関数の値に、前記位相誤差に基づいた係数を乗算した値を、前記複数の補正係数として格納することを特徴とする請求項 1 2 に記載のディジタル化装置。

【請求項 1 4】 前記 N 個のディジタルフィルタのそれぞれの前記記憶部は、それぞれ対応する前記 A/D コンバータの前記理想サンプリングタイミングの位相と、基準となる A/D コンバータの前記理想サンプリングタイミングの位相との差だけ、前記インパルス応答関数を時間軸上で移動させた関数と、前記位相誤差とに基づいた前記補正係数を格納することを特徴とする請求項 1 3 に記載のディジタル化装置。

【請求項 1 5】 電子デバイスから出力されるアナログ信号をディジタル信号に変換するディジタル化装置であって、

前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでディジタル信号に順次変換する N (N は 2 以上の整数) 個の A/D コンバータと、

前記 N 個の A/D コンバータが変換したディジタル信号を、所定の順序に整列させた第 1 データシーケンスを生成し出力する第 1 インターリーブ部と、

前記第 1 インターリーブ部が出力した前記第 1 データシーケンスをそれぞれ受け取り、前記 N 個の A/D コンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 N 個の A/D コンバータが前記アナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、前記第 1 データシーケンスとをたたみ込み演算し、前記第 1 データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力する N 個のディジタルフィルタと、

前記 N 個のディジタルフィルタが出力した前記デシメーションデータのデータを所定の順序に整列させた第 2 データシーケンスを生成する第 2 インターリーブ部とを備えることを特徴とするディジタル化装置。

【請求項 1 6】 前記 N 個のディジタルフィルタは、前記補正係数を算出するためのインパルス応答関数を格納

する記憶部をそれぞれ有し、

前記 N 個のディジタルフィルタは、前記理想サンプリングタイミングから、それぞれ対応する前記 A/D コンバータの前記位相誤差だけ離れたタイミングに対応する前記インパルス応答関数の値と、それぞれ対応する前記 A/D コンバータが変換した前記ディジタル信号の値とをたたみ込み演算した信号をそれぞれ出力することを特徴とする請求項 1 5 に記載のディジタル化装置。

【請求項 1 7】 電子デバイスを試験するための試験装置であって、

パターン信号及び期待値信号を発生するパターン発生部と、

前記パターン発生器が発生する前記パターン信号の波形を整形する波形整形器と、

前記電子デバイスが載置され、前記電子デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、

前記電子デバイスから出力される前記アナログ信号をディジタル信号に変換するディジタル化装置と、

前記パターン発生器から出力される前記期待値信号と、前記ディジタル化装置から出力される信号とに基づいて、前記電子デバイスの良否を判定する判定部とを備え、

前記ディジタル化装置は、

前記電子デバイスから出力されるアナログ信号を、所定の時間間隔でディジタル信号に順次変換する A/D コンバータと、

前記 A/D コンバータが変換した前記ディジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するディジタルフィルタとを有し、

前記ディジタルフィルタは、前記 A/D コンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記 A/D コンバータが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた、前記補正係数を前記ディジタル信号のそれぞれに対して乗算することを特徴とする試験装置。

【請求項 1 8】 電子デバイスを試験するための試験装置であって、

パターン信号及び期待値信号を発生するパターン発生部と、

前記パターン発生器が発生する前記パターン信号の波形を整形する波形整形器と、

前記電子デバイスが載置され、前記電子デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、

前記電子デバイスから出力される前記アナログ信号をディジタル信号に変換するディジタル化装置と、

前記パターン発生器から出力される前記期待値信号と、前記ディジタイザ装置から出力される信号とに基づいて、前記電子デバイスの良否を判定する判定部とを備え、
 前記ディジタイザ装置は、
 前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、
 前記N個のA/Dコンバータが出力する前記デジタル信号のそれぞれに、補正係数を乗算した補正信号を出力する、前記N個のA/Dコンバータにそれぞれ対応したN個のデジタルフィルタとを有し、
 前記N個のデジタルフィルタは、それぞれ対応する前記A/Dコンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記N個のA/Dコンバータのそれぞれが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた補正係数を、それぞれ対応する前記A/Dコンバータが変換した前記デジタル信号のそれぞれに対して乗算することを特徴とする試験装置。
 【請求項19】 前記ディジタイザ装置は、
 複数の前記デジタルフィルタがそれぞれ出力した前記補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に有し、
 前記N個のデジタルフィルタは、
 それぞれ対応する前記A/Dコンバータが、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記N個のA/Dコンバータのそれぞれが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差と、
 それぞれ対応する前記A/Dコンバータの前記理想サンプリングタイミングの、基準となる前記A/Dコンバータの前記理想サンプリングタイミングに対する位相差とに基づいた前記補正係数を、それぞれ対応する前記A/Dコンバータが変換した前記デジタル信号のそれぞれに対して乗算した前記補正信号を出力することを特徴とする請求項18に記載の試験装置。
 【請求項20】 電子デバイスを試験するための試験装置であって、
 パターン信号及び期待値信号を発生するパターン発生部と、
 前記パターン発生器が発生する前記パターン信号の波形を整形する波形整形器と、
 前記電子デバイスが載置され、前記電子デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、
 前記電子デバイスから出力される前記アナログ信号をデジタル信号に変換するディジタイザ装置と、

前記パターン発生器から出力される前記期待値信号と、前記ディジタイザ装置から出力される信号とに基づいて、前記電子デバイスの良否を判定する判定部とを備え、
 前記ディジタイザ装置は、
 前記電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、
 前記N個のA/Dコンバータが変換したデジタル信号を、所定の順序に整列させた第1データシーケンスを生成し出力する第1インターリーブ部と、
 前記第1インターリーブ部が出力した前記第1データシーケンスをそれぞれ受け取り、前記N個のA/Dコンバータが前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、前記N個のA/Dコンバータが前記アナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた補正係数と、前記第1データシーケンスとをたたみ込み演算し、前記第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力するN個のデジタルフィルタと、
 前記N個のデジタルフィルタがそれぞれ出力した前記デシメーションデータのデータを所定の順序に整列させた第2データシーケンスを生成する第2インターリーブ部とを有することを特徴とする試験装置。
 【発明の詳細な説明】
 【0001】
 【発明の属する技術分野】本発明は、インターリーブAD変換方式の波形ディジタイザ装置に関する。特に、インターリーブAD変換時におけるサンプリングタイミングの位相誤差に伴う測定誤差を検出して補正する補正手段に関する。
 【0002】
 【従来の技術】N相（way）のインターリーブAD変換方式の波形ディジタイザは、N個のA/Dコンバータを用いることで、見かけ上のサンプリングレートを高くすることが可能な技術であるが、一方でサンプリングするタイミングが正確であることが要求される。
 【0003】図7に、電子デバイスの試験装置に用いられる従来のディジタイザ装置200の構成を示す。ディジタイザ装置200は、4個のA/Dコンバータ（ADC）110と、4個のクロック112と、インターリーブ部114と、デジタルフィルタ116とを備える。A/Dコンバータ110は、それぞれクロック112から与えられるタイミングに基づいて、電子デバイスが出力するアナログ信号をサンプリングし、デジタル信号に変換する。インターリーブ部114は、4個のA/Dコンバータ110が変換したデジタル信号を、所定の順序に整列させたデータシーケンスを生成する。ディジ

タルフィルタ 116 は、所定のインパルス応答関数に基づいて、インターリーブ部 114 が生成したデータシーケンスに補正係数を乗算する。デジタルフィルタ 116 は、データシーケンスに補正係数を乗算することにより、当該データシーケンスに含まれる所定の周波数成分を除去する。デジタルフィルタ 116 は、当該補正係数を乗算したデータシーケンスを、試験装置の判定部に出力する。当該判定部は、補正係数が乗算されたデータシーケンスに基づいて、当該電子デバイスの良否を判定する。

【0004】4 個の A/D コンバータは、それぞれのサンプリングタイミングが等位相間隔となるように、位相調整されなければならない。それぞれの A/D コンバータのサンプリングタイミングが、位相誤差を有する場合においても、インターリーブ部 114 及びデジタルフィルタ 116 は、A/D コンバータから出力されるデジタルデータを、等間隔でサンプリングされたデータとして処理を行うため、デジタルフィルタ 116 が出力するデータシーケンスは、電子デバイスが出力したアナログ信号に対して誤差を有する。そのため、判定部は、電子デバイスの良否を精度よく判定することができない。

【0005】

【発明が解決しようとする課題】上述したように従来技術においては、複数の A/D コンバータ間におけるサンプリングタイミングの位相間隔を一定となるように調整していた。一方、A/D コンバータのサンプリング特性は、A/D コンバータ素子自身の部品ばらつきや、環境温度、経時変化、電源電圧変動により、目的とする等間隔でのサンプリングに変動を来す。また、等位相間隔のサンプリングタイミングとなるように、複数の A/D コンバータにクロックを供給することは、非常に困難であった。これら要因に伴って、理想状態のサンプリングタイミングからの変動を生じてくることになる。このことは、より精度よく電子デバイスが出力するアナログ信号を再現することを困難とし、そのため精度よく電子デバイスの良否を判定することを困難としていた。

【0006】そこで、本発明が解決しようとする課題は、複数の複数の A/D コンバータ間におけるサンプリング位相のずれを補正し、アナログ信号を精度よく再現できる AD 変換方式ディジタイザ装置及び半導体試験装置を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明の第 1 の形態においては、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置であって、電子デバイスから出力される

アナログ信号を、所定の時間間隔でデジタル信号に順次変換する A/D コンバータと、A/D コンバータが変換したデジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するデジタルフィルタと、A/D コンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、A/D コンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を、A/D コンバータが変換したデジタル信号のそれぞれに対して乗算した補正信号を出力するデジタルフィルタとを備えることを特徴とするディジタイザ装置を提供する。

【0008】本発明の第 1 の形態において、デジタルフィルタは、補正係数を算出するためのインパルス応答関数が与えられ、デジタルフィルタは、理想サンプリングタイミングから、位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、デジタル信号の値とをたたみ込み演算して算出した補正信号を出力してよい。

【0009】本発明の第 2 の形態においては、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置であって、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換する N (N は 2 以上の整数) 個の A/D コンバータと、N 個の A/D コンバータが出力するデジタル信号のそれぞれに、それぞれ対応する A/D コンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N 個の A/D コンバータのそれぞれがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を出力する、N 個の A/D コンバータにそれぞれ対応した N 個のデジタルフィルタとを備えることを特徴とするディジタイザ装置を提供する。

【0010】本発明の第 2 の形態において、N 個のデジタルフィルタは、補正係数を算出するためのインパルス応答関数が格納された記憶部をそれぞれ有し、N 個のデジタルフィルタは、理想サンプリングタイミングから、それぞれ対応する A/D コンバータの位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、それぞれ対応する A/D コンバータが変換したデジタル信号の値とをたたみ込み演算した補正信号をそれぞれ出力してよい。また、記憶部は、対応する A/D コンバータのゲイン特性に基づいた、インパルス応答関数を格納してよい。また、記憶部は、対応する A/D コンバータの周波数特性に基づいた、インパルス応答関数を格納してよい。

【0011】また、N 個のデジタルフィルタは、それぞれのデジタルフィルタのインパルス応答関数において、それぞれ対応する A/D コンバータの実サンプリングタイミングにおける値を、補正係数として格納する記

10

20

30

40

50

憶部をそれぞれ有し、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが変換したデジタル信号の値と、補正係数とをたたみ込み演算した補正信号をそれぞれ出力してよい。また、記憶部は、対応するA/Dコンバータのゲイン特性に基づいた、補正係数を格納してよい。また、記憶部は、対応するA/Dコンバータの周波数特性に基づいた、補正係数を格納してよい。

【0012】また、N個のデジタルフィルタがそれぞれ出力した補正信号を所定の順序に整列させたデータシーケンスを生成するインターリーブ部を更に備えてよい。また、複数のデジタルフィルタがそれぞれ出力した補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に備え、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、それぞれ対応するA/Dコンバータのそれぞれがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差と、それぞれ対応するA/Dコンバータの理想サンプリングタイミングの、基準となるA/Dコンバータの理想サンプリングタイミングに対する位相差とに基づいた補正係数を、それぞれ対応するA/Dコンバータが変換したデジタル信号のそれぞれに対して乗算した補正信号を出力してよい。

【0013】また、N個のデジタルフィルタは、所定のインパルス応答関数をポリフェーズ分解し、位相誤差に基づいた係数を乗算した複数の補正係数を格納する記憶部を有し、N個のデジタルフィルタは、複数の補正係数とデジタル信号とをたたみ込み演算した補正信号を出力してよい。また、N個のデジタルフィルタのそれぞれの記憶部は、対応するA/Dコンバータの理想サンプリングタイミングにおける、インパルス応答関数の値に、位相誤差に基づいた係数を乗算した値を、複数の補正係数として格納してよい。また、N個のデジタルフィルタのそれぞれの記憶部は、それぞれ対応するA/Dコンバータの理想サンプリングタイミングの位相と、基準となるA/Dコンバータの理想サンプリングタイミングの位相との差だけ、インパルス応答関数を時間軸上で移動させた関数と、位相誤差とに基づいた補正係数を格納してよい。

【0014】本発明の第3の形態においては、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタル化装置であって、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが変換したデジタル信号を、所定の順序に整列させた第1データシーケンスを生成し出力する第1インターリーブ部と、第1インターリーブ部が出力した第1データシーケンスをそれぞれ受け取り、N個のA/Dコンバータがアナログ信号をサンプリングすべき理想

サンプリングタイミングと、N個のA/Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、第1データシーケンスとをたたみ込み演算し、第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力するN個のデジタルフィルタと、N個のデジタルフィルタが出力したデシメーションデータのデータを所定の順序に整列させた第2データシーケンスを生成する第2インターリーブ部とを備えることを特徴とするディジタル化装置を提供する。

【0015】本発明の第3の形態において、N個のデジタルフィルタは、補正係数を算出するためのインパルス応答関数を格納する記憶部をそれぞれ有し、N個のデジタルフィルタは、理想サンプリングタイミングから、それぞれ対応するA/Dコンバータの位相誤差だけ離れたタイミングに対応するインパルス応答関数の値と、それぞれ対応するA/Dコンバータが変換したデジタル信号の値とをたたみ込み演算した信号をそれぞれ出力してよい。

【0016】本発明の第4の形態においては、電子デバイスを試験するための試験装置であって、パターン信号及び期待値信号を発生するパターン発生部と、パターン発生器が発生するパターン信号の波形を整形する波形整形器と、電子デバイスが載置され、電子デバイスに波形整形器によって整形されたパターン信号を供給し、電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタル化装置と、パターン発生器から出力される期待値信号と、ディジタル化装置から出力される信号とに基づいて、電子デバイスの良否を判定する判定部とを備え、ディジタル化装置は、電子デバイスから出力されるアナログ信号を、所定の時間間隔でデジタル信号に順次変換するA/Dコンバータと、A/Dコンバータが変換したデジタル信号のそれぞれに、補正係数を乗算して算出した補正信号を出力するデジタルフィルタとを有し、ディジタルフィルタは、A/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、A/Dコンバータがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた、補正係数をデジタル信号のそれぞれに対して乗算することを特徴とする試験装置を提供する。

【0017】本発明の第5の形態においては、電子デバイスを試験するための試験装置であって、パターン信号及び期待値信号を発生するパターン発生部と、パターン発生器が発生するパターン信号の波形を整形する波形整形器と、電子デバイスが載置され、電子デバイスに波形整形器によって整形されたパターン信号を供給し、電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、電子デバイスから出力されるアナログ信号

をデジタル信号に変換するディジタイザ装置と、パターン発生器から出力される期待値信号と、ディジタイザ装置から出力される信号とに基づいて、電子デバイスの良否を判定する判定部とを備え、ディジタイザ装置は、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが出力するデジタル信号のそれぞれに、補正係数を乗算した補正信号を出力する、N個のA/Dコンバータにそれぞれ対応したN個のデジタルフィルタとを有し、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差に基づいた補正係数を、それぞれ対応するA/Dコンバータが変換したデジタル信号のそれぞれに対して乗算することを特徴とする試験装置を提供する。

【0018】ディジタイザ装置は、複数のデジタルフィルタがそれぞれ出力した補正信号の和を算出し、デシメーションデータを生成するデシメーションデータ生成部を更に有し、N個のデジタルフィルタは、それぞれ対応するA/Dコンバータが、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータのそれぞれがアナログ信号をサンプリングしたサンプリングタイミングとの位相誤差と、それぞれ対応するA/Dコンバータの理想サンプリングタイミングの、基準となるA/Dコンバータの理想サンプリングタイミングに対する位相差とに基づいた補正係数を、それぞれ対応するA/Dコンバータが変換したデジタル信号のそれぞれに対して乗算した補正信号を出力してよい。

【0019】本発明の第6の形態においては、電子デバイスを試験するための試験装置であって、パターン信号及び期待値信号を発生するパターン発生部と、パターン発生器が発生するパターン信号の波形を整形する波形整形器と、電子デバイスが載置され、電子デバイスに波形整形器によって整形されたパターン信号を供給し、電子デバイスから出力されるアナログ信号を受け取るデバイス接触部と、電子デバイスから出力されるアナログ信号をデジタル信号に変換するディジタイザ装置と、パターン発生器から出力される期待値信号と、ディジタイザ装置から出力される信号とに基づいて、電子デバイスの良否を判定する判定部とを備え、ディジタイザ装置は、電子デバイスから出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換するN（Nは2以上の整数）個のA/Dコンバータと、N個のA/Dコンバータが変換したデジタル信号を、所定の順序に整列させた第1データシーケンスを生成し出力する第1インターリーブ部と、第1インターリ

ーブ部が出力した第1データシーケンスをそれぞれ受け取り、N個のA/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、第1データシーケンスとをたたみ込み演算し、第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力するN個のデジタルフィルタと、N個のデジタルフィルタがそれぞれ出力したデシメーションデータのデータを所定の順序に整列させた第2データシーケンスを生成する第2インターリーブ部とを有することを特徴とする試験装置を提供する。

【0020】尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

【0021】

【発明の実施の形態】以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0022】図1は、本発明に係る試験装置100の構成の一例を示す。試験装置100は、パターン発生器10、波形整形器20、デバイス接触部30、ディジタイザ装置50、判定部40を備える。試験されるべき電子デバイス60は、デバイス接触部30に載置される。パターン発生器10は、電子デバイス60に供給する入力信号を生成する。当該入力信号は、波形整形器20に供給される。波形整形器20は、電子デバイス60の特性に応じて、入力信号の波形を整形する。整形された入力信号は、デバイス接触部30を介して、電子デバイス60に供給される。電子デバイス60は、入力された入力信号に基づいて、アナログ信号をデバイス接触部30を介して、ディジタイザ装置50に出力する。ディジタイザ装置50は、受け取ったアナログ信号をデジタル信号に変換して、判定部40に供給する。判定部40は、デジタル信号に基づいて電子デバイス60の良否を判定する。パターン発生器10は、発生する入力信号に基づいて、期待値信号を生成し、判定部40は、パターン発生器10が生成した期待値信号と、ディジタイザ装置50から受け取った、デジタル信号を比較して、電子デバイス60の良否を判定してよい。

【0023】図2は、本発明に係るディジタイザ装置50の構成の一例を示す。ディジタイザ装置50は、N個（Nは整数）のA/Dコンバータ（ADC）52、A/Dコンバータにそれぞれ対応したデジタルフィルタ56、それぞれのA/Dコンバータのサンプリングタイミングを与えるクロック54、インターリーブ部58を備える。本例において、ディジタイザ装置50は、4個の

A/Dコンバータを備える。

【0024】N個のA/Dコンバータ52は、電子デバイス60から出力されるアナログ信号を、それぞれ異なるサンプリングタイミングでデジタル信号に順次変換する。N個のA/Dコンバータ52は、それぞれ実質的に同一の周波数(f_s)でアナログ信号をサンプリングする。本例において、A/Dコンバータ52a、A/Dコンバータ52b、A/Dコンバータ52c、及びA/Dコンバータ52dは、順にアナログ信号をサンプリングする。つまり、等位相間隔でサンプリングすることにより、4個のA/Dコンバータ52によるサンプリング周波数は $4f_s$ となる。しかし、4個のA/Dコンバータ52で順にサンプリングするため、サンプリングタイミングは、等位相間隔とならない場合がある。等位相間隔に並んだ理想的なサンプリングタイミングと、N個のA/Dコンバータ52によってサンプリングするサンプリングタイミングとは、位相誤差を有する。本例において、A/Dコンバータ52aのサンプリングタイミングを基準とした場合、理想的には、A/Dコンバータ52b、A/Dコンバータ52c、及びA/Dコンバータ52dは、A/Dコンバータ52aの各回のサンプリングタイミングの間でそれぞれが等位相間隔でサンプリングすることが望ましいが、実際には、A/Dコンバータ52b、A/Dコンバータ52c、及びA/Dコンバータ52dのサンプリングタイミングは、それぞれ理想サンプリングタイミングから位相誤差を生じる場合がある。

【0025】デジタルフィルタ56は、当該位相誤差を補正する補正係数を、それぞれ対応するA/Dコンバータ52が出力したデジタル信号に乗算する。つまり、N個のデジタルフィルタ56は、N個のA/Dコンバータ52が出力するデジタル信号のそれぞれに、それぞれ対応するA/Dコンバータ52が、アナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータ52のそれぞれが、実際にアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数を乗算して算出した補正信号を、インターリーブ部に出力する。デジタルフィルタ56は、例えば有限インパルス応答(FIR)フィルタであってよい。また、デジタルフィルタ56は、直線位相型の有限インパルス応答フィルタであることが好ましく、任意に特性を変えることのできるフィルタであることが好ましい。

【0026】インターリーブ部58は、N個のデジタルフィルタ56がそれぞれ出力した補正信号を所定の順序に整列させたデータシーケンスを生成する。つまり、インターリーブ部58は、それぞれの補正信号のデータ系列の順序を崩さずに、それぞれの補正信号のデータを所定の順序に整列させたデータシーケンスを生成する。

【0027】また、N個のデジタルフィルタ56は、補正係数を算出するためのインパルス応答関数が格納さ

れた記憶部をそれぞれ有してよい。この場合、N個のデジタルフィルタ56は、それぞれ対応するA/Dコンバータの理想サンプリングタイミングから、それぞれ対応するA/Dコンバータの位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、それぞれ対応するA/Dコンバータ52が変換したデジタル信号の値とをたたみ込み演算した補正信号をそれぞれ出力することが好ましい。以下、デジタルフィルタ56における、補正信号の算出方法の一例について説明する。

【0028】図3は、デジタルフィルタ56の記憶部に格納されるインパルス応答関数の波形、及びA/Dコンバータ52のサンプリングタイミングを示す。図3において、横軸は時間を表し、インパルス応答関数段における縦軸は、デジタルフィルタ56のゲインを表す。本例においては、図2に示すように、A/Dコンバータ56が4個であって、それぞれのデジタルフィルタ56のインパルス応答関数は同一であるとして説明する。理想サンプリングタイミング段は、4個のA/Dコンバータ56が電子デバイス60から出力されたアナログ信号をサンプリングすべき理想サンプリングを示す。また、52aのサンプリングタイミング段は、図2におけるA/Dコンバータ52aが実際にアナログ信号をサンプリングする実サンプリングタイミングを示し、52bのサンプリングタイミング段は、図2におけるA/Dコンバータ52bが実際にアナログ信号をサンプリングする実サンプリングタイミングを示し、52cのサンプリングタイミング段は、図2におけるA/Dコンバータ52cが実際にアナログ信号をサンプリングする実サンプリングタイミングを示し、52dのサンプリングタイミング段は、図2におけるA/Dコンバータ52dが実際にアナログ信号をサンプリングする実サンプリングタイミングを示す。

【0029】前述したように、N個のA/Dコンバータ52が実際にアナログ信号をサンプリングする実サンプリングタイミングは、理想サンプリングタイミングに対して、位相誤差を有する場合がある。本例においては、A/Dコンバータ52aのサンプリングタイミングを基準とした場合に、A/Dコンバータ52b、A/Dコンバータ52c、A/Dコンバータ52dの実サンプリングタイミングは、理想サンプリングタイミングに対して、それぞれ τ_1 、 τ_2 、 τ_3 の位相誤差を有する。デジタルフィルタ56は、理想サンプリングタイミングから、それぞれ対応するA/Dコンバータ52の位相誤差だけ離れたタイミングに対応するインパルス応答関数の値である補正係数と、それぞれ対応するA/Dコンバータ52が変換したデジタル信号の値とをたたみ込み演算した補正信号を出力する。つまり、デジタルフィルタ56は、それぞれ対応するA/Dコンバータ52が出力するデジタル信号と、それぞれ対応するA/Dコ

ンバータ 52 の実サンプリングタイミングにおける、インパルス応答関数の値とをたたみ込み演算した、補正信号を出力する。それぞれの A/D コンバータにおける位相誤差は、予め与えられていることが好ましい。それぞれの A/D コンバータにおける位相誤差は、例えば、所定のアナログ信号をサンプリングしたサンプリング結果に基づいて、容易に算出することができる。以下デジタルフィルタ 56 における、たたみ込み演算について説明する。

【0030】 A/D コンバータ 52 が出力するデジタル信号のデータ列を $x(n)$ 、A/D コンバータ 52 の実サンプリングタイミングにおける、対応するデジタルフィルタ 56 のインパルス応答関数の値を $h(n)$ とした場合に、デジタルフィルタ 56 が出力する補正信号 $y(n)$ は下式で与えられる。この場合、データ列 $x(n)$ 及び $h(n)$ に含まれるデータ数は同数であってよい。

【数 1】

$$y(n) = \sum_{m=0}^{N-1} x(m)h(n-m)$$

ただし、 N は $h(n)$ に含まれるデータ数である。また、A/D コンバータ 52 が出力し、デジタルフィルタ 56 に入力されるデジタル信号のデータ列 $x(n)$ に含まれるデータ数は、A/D コンバータ 52 のサンプリング周波数 f_s 及びインパルス応答関数に基づいて定められることが好ましい。以上説明したディジタル装置によれば、A/D コンバータ 52 の実サンプリングタイミングにおける位相誤差に基づいた補正係数を用いて、デジタルフィルタ 56 において補正演算を行うことにより、位相誤差を補正した補正信号を生成でき、電子デバイス 60 が出力したアナログ信号を精度よく再現することができる。また、本発明に係る試験装置 100 によれば、精度よく電子デバイス 60 の良否を判定することができる。また、本例においては、A/D コンバータ 52 を 4 個有するディジタル装置 50 について説明したが、A/D コンバータ 52 を N 個有するディジタル装置においても、同様の処理により、位相誤差を補正した補正信号を生成し、アナログ信号を精度よく再現できることは明らかである。

【0031】 本例において、 N 個のデジタルフィルタ 56 のそれぞれの記憶部は、同一のインパルス応答関数を格納していたが、他の例においては、それぞれの記憶部は、対応する A/D コンバータ 52 のゲイン特性に基づいた、インパルス応答関数を格納してよい。つまり、 N 個の A/D コンバータのそれぞれのゲイン特性の差を補正するようなインパルス応答関数を格納することが好ましい。また、 N 個のデジタルフィルタ 56 のそれぞれの記憶部は、対応する A/D コンバータ 52 の周波数特性に基づいた、インパルス応答関数を格納してよい。

つまり、対応する A/D コンバータ 52 における周波数毎のゲイン特性の差を補正するようなインパルス応答関数を格納することが好ましい。

【0032】 また、本例においては、 N 個のデジタルフィルタの記憶部は、それぞれインパルス応答関数を格納したが、他の例においては、 N 個のデジタルフィルタの記憶部は、インパルス応答関数に基づいて算出した補正係数を格納してよい。例えば、上述した処理により算出した補正係数のテーブルを格納してよい。また、予め、複数の位相誤差又は実サンプリングタイミングに対応する補正係数のテーブルを格納してよい。つまり、 N 個のデジタルフィルタ 56 は、それぞれのデジタルフィルタ 56 が有すべき特性を示すインパルス応答関数において、それぞれ対応する A/D コンバータ 52 の実サンプリングタイミングにおける値を、補正係数として格納する記憶部を有してよい。当該記憶部は、複数の実サンプリングタイミングに対応する補正係数のテーブルを格納することが好ましい。この場合、 N 個のデジタルフィルタ 56 は、それぞれ対応する A/D コンバータ 52 が変換したデジタル信号の値と、位相誤差又は実サンプリングタイミングに基づいて選択した補正係数のテーブルとをたたみ込み演算した補正信号を出力する。

【0033】 また、記憶部が補正係数のテーブルを格納する場合であっても、記憶部がインパルス応答関数を格納する場合と同様に、記憶部は、対応する A/D コンバータ 52 のゲイン特性に基づいた、補正係数を格納することが好ましい。また、記憶部は、対応する A/D コンバータ 52 の周波数特性に基づいた、補正係数を格納することが好ましい。

【0034】 図 4 は、本発明に係るディジタル装置 50 の構成の他の例を示す。図 4 において、図 2 と同一の符号を付した物は、図 2 及び図 3 に関連して説明したものと同一又は同様の機能及び構成を有してよい。本例において、ディジタル装置 50 は、4 個の A/D コンバータ 52 と、A/D コンバータ 52 にそれぞれタイミングを供給するクロック 54 と、A/D コンバータ 52 にそれぞれ対応したデジタルフィルタ 56 と、デシメーションデータ生成部 62 とを有する。A/D コンバータ 52 及びクロック 54 は、図 2 及び図 3 に関連して説明した A/D コンバータ 52 及びクロック 54 と同一又は同様の機能及び構成を有する。

【0035】 デジタルフィルタ 56 は、それぞれ対応する A/D コンバータ 52 が、前記アナログ信号をサンプリングすべき理想サンプリングタイミングと、それぞれ対応する A/D コンバータ 52 がアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差と、それぞれ対応する A/D コンバータ 52 の理想サンプリングタイミングの、基準となる A/D コンバータ 52 の理想サンプリングタイミングに対する位相差とに基

づいた補正係数を、それぞれ対応するA/Dコンバータ52が変換したデジタル信号のそれぞれに対して乗算した補正信号を出力する。つまり、デジタルフィルタ56は、それぞれ対応するA/Dコンバータ52におけるデジタル信号を、それぞれ対応するA/Dコンバータ52における位相誤差を補正し、且つ異なるサンプリングタイミングでサンプリングした信号に変換した補正信号を出力する。例えば、A/Dコンバータ52aがアナログ信号をサンプリングするべき理想サンプリングタイミングを、 T_1 、 T_5 、 T_9 、 \dots とし、A/Dコンバータ52bがアナログ信号をサンプリングするべき理想タイミングを、 T_2 、 T_6 、 T_{10} 、 \dots とした場合に、デジタルフィルタ56bは、A/Dコンバータ52bが T_2 、 T_6 、 T_{10} 、 \dots のタイミングでサンプリングしたデジタル信号を、 T_1 、 T_5 、 T_9 、 \dots のタイミングでサンプリングしたデジタル信号に位相変換し、且つA/Dコンバータ52bにおける理想サンプリングタイミングに対する移送誤差を補正する。

【0036】デシメーションデータ生成部62は、デジタルフィルタ56がそれぞれ出力した補正信号の和を算出し、デシメーションデータを生成する。つまり、デジタルフィルタ56が位相変換した補正信号の和を算出することにより、N個のA/Dコンバータ52が実際にサンプリングしたサンプリング周波数より低い周波数でサンプリングしたデジタル信号に等価なデシメーションデータを生成し、判定部40に出力する。以下、デジタルフィルタ56及びデシメーションデータ生成部62の動作について説明する。

【0037】図5は、デジタルフィルタ56のそれぞれのインパルス応答関数の一例を示す。4個のA/Dコンバータ52は、理想的には図5に示すように等時間(ΔT)毎に4個のA/Dコンバータ52が順にアナログ信号をサンプリングする。しかし、4個のA/Dコンバータ52が実際にアナログ信号をサンプリングする実サンプリングタイミングと、理想サンプリングタイミングとは、位相誤差を有する場合がある。本例においては、A/Dコンバータ52aがサンプリングする実サンプリングタイミングを基準として、A/Dコンバータ52b、A/Dコンバータ52c、A/Dコンバータ52dは、それぞれ理想サンプリングタイミングに対して、位相誤差 τ_1 、 τ_2 、 τ_3 を有する。

【0038】4個のA/Dコンバータ52にそれぞれ対応する4個のデジタルフィルタ56は、それぞれインパルス応答関数が与えられ、インパルス応答関数に基づいて、それぞれ対応するA/Dコンバータ52が出力するデジタル信号を補正する。4個のデジタルフィルタ56のそれぞれには、それぞれ対応するA/Dコンバータ52の理想サンプリングタイミングの位相と、基準となるA/Dコンバータ52の理想サンプリングタイミ

ングの位相との差だけ、インパルス応答関数を時間軸上で移動させた関数が与えられる。本例において、4個のデジタルフィルタ56は、それぞれ対応するA/Dコンバータ52の理想サンプリングタイミングの、A/Dコンバータ52aの理想サンプリングタイミングに対する位相差だけ、A/Dコンバータ52aのインパルス応答関数を時間軸上で負の方向に移動させた、インパルス応答関数が与えられる。それぞれのデジタルフィルタ56は、対応するA/Dコンバータ52の理想サンプリングタイミングにおける、与えられたインパルス応答関数の値と対応するA/Dコンバータ52が出力したデジタル信号とをたたみ込み演算する。

【0039】本例においては、デジタルフィルタ56aは、図5に示すように、理想サンプリングタイミングにおけるインパルス応答関数の値である、 P_n 、 P_{n+4} 、 \dots とデジタル信号とをたたみ込み演算する。ここで、 P_n 、 P_{n+4} 、 \dots は、 $4\Delta T$ 毎のインパルス応答関数の値である。同様に、デジタルフィルタ56bは、理想サンプリングタイミングにおける、インパルス応答関数の値である、 P_{n-3} 、 P_{n+1} 、 \dots とデジタル信号とをたたみ込み演算する。デジタルフィルタ56c及びデジタルフィルタ56dも同様に、理想サンプリングタイミングにおけるインパルス応答関数の値とデジタル信号とをたたみ込み演算する。

【0040】それぞれのデジタルフィルタ56は、たたみ込み演算した算出結果に、それぞれ対応するA/Dコンバータの位相誤差に基づく係数を乗算する。A/Dコンバータ52b、A/Dコンバータ52c、A/Dコンバータ52dにおける位相誤差をそれぞれ τ_1 、 τ_2 、 τ_3 とした場合、デジタルフィルタ56bは、たたみ込み演算した結果に $e^{-j\omega\tau_1}$ を乗算し、デジタルフィルタ56cは、たたみ込み演算した結果に $e^{-j\omega\tau_2}$ を乗算し、デジタルフィルタ56dは、たたみ込み演算した結果に $e^{-j\omega\tau_3}$ を乗算し、位相誤差を補正した補正信号を出力する。

【0041】理想サンプリングタイミングの位相差だけ時間軸上で移動したインパルス応答関数が、それぞれのデジタルフィルタ56に与えられることにより、それぞれ対応するA/Dコンバータ52がサンプリングしたデジタル信号を、基準となるA/Dコンバータ52の理想サンプリングタイミングでサンプリングしたデジタル信号に位相変換することができる。本例においては、デジタルフィルタ56が、対応するA/Dコンバータ52がサンプリングしたデジタル信号を、A/Dコンバータ52aの理想サンプリングタイミングでサンプリングしたデジタル信号に位相変換している。デシメーションデータ生成部62は、デジタルフィルタ56が出力する、位相変換したデジタル信号である補正信号の和を算出し、4個のA/Dコンバータ52がイン

ターリーブサンプリングすることにより、 $4f_s$ の周波数でサンプリングしたデジタル信号を、 f_s の周波数でサンプリングしたデジタル信号に変換し、且つそれぞれのA/Dコンバータ52における位相誤差を補正することができる。

【0042】本例においては、一つのA/Dコンバータ52基準として、他のA/Dコンバータ52がサンプリングしたデジタル信号を位相変換していたが、他の例においては、複数のA/Dコンバータ52を基準として、他のA/Dコンバータ52がサンプリングしたデジタル信号を位相変換してよい。例えば、A/Dコンバータ52a及びA/Dコンバータ52cを基準として、A/Dコンバータ52bが出力するデジタル信号を、A/Dコンバータ52aの理想サンプリングタイミングにおけるデジタル信号に位相変換し、A/Dコンバータ52dが出力するデジタル信号を、A/Dコンバータ52cの理想サンプリングタイミングにおけるデジタル信号に位相変換してよい。この場合、4個のA/Dコンバータ52がサンプリング周波数 $4f_s$ でサンプリングしたデジタル信号を、サンプリング周波数 $2f_s$ でサンプリングしたデジタル信号に変換することができる。また、本例においては、4個のA/Dコンバータ52を有するディジタル装置50について説明したが、N個のA/Dコンバータ52を有するディジタル装置50においても、同様の処理を行うことにより、N個のA/Dコンバータ52がサンプリング周波数 Nf_s でサンプリングしたデジタル信号を、一つのA/Dコンバータ52がサンプリングするサンプリング周波数 f_s の任意の整数倍のデジタル信号に変換することができる。つまり、本発明に係るディジタル装置50によれば、電子デバイス60が出力するアナログ信号を、任意の周波数でサンプリングすることのでき、且つそれぞれのA/Dコンバータ52における位相誤差を補正することのできるマルチレートディジタル装置を実現できる。

【0043】また、本例におけるディジタルフィルタ56は、図2及び図3に関連して説明したディジタルフィルタ56と同様に、対応するA/Dコンバータ52のゲイン特性及び／又は周波数特性に基づいたインパルス応答関数を与えられてよい。また、ディジタルフィルタ56は、インパルス応答関数を記憶する記憶部を有してよい。また、ディジタルフィルタ56は、インパルス応答関数に基づいた補正係数のテーブルを予め記憶する記憶

$$H(z) = E_0(z^4) + e^{j\omega\tau_1} E_1(z^4)z^{-1} + e^{j\omega\tau_2} E_2(z^4)z^{-2} + e^{j\omega\tau_3} E_3(z^4)z^{-3}$$

【0046】図6は、本発明に係るディジタル装置50の構成の他の例を示す。ディジタル装置50は、N個のA/Dコンバータ52、N個のクロック54、N個のディジタルフィルタ56、第1インターリーブ部64、及び第2インターリーブ部66を有する。図6に示すA/Dコンバータ52及びクロック54は、図2及び

部を有してよい。つまり、N個のディジタルフィルタ56のそれぞれの記憶部は、対応するA/Dコンバータ52の理想サンプリングタイミングにおける、インパルス応答関数の値に、位相誤算に基づいた係数を乗算した値を、複数の補正係数として格納してよい。

【0044】例えば、N個のディジタルフィルタ56は、所定のインパルス応答関数をポリフェーズ分解し、対応するA/Dコンバータ52の位相誤差に基づいた計数を乗算した補正係数を格納する記憶部を有してよい。例えば、ディジタル装置50が4個のディジタルフィルタ56を有する場合、それぞれのディジタルフィルタ56には、所定のインパルス応答関数 $K(z)$ を分割数4でポリフェーズ分解し、ポリフェーズ分解したインパルス応答を、対応するA/Dコンバータ52の理想サンプリングタイミングに基づいた位相だけ時間軸上で移動したインパルス応答が与えられる。ディジタルフィルタ56a、56b、56c、及び56dに与えられるインパルス応答を E_0 、 E_1 、 E_2 、 E_3 とした場合、それぞれのインパルス応答を構成する値は、図5を例とすると $E_0 = (P_n, P_{n+4}, \dots)$ 、 $E_1 = (P_{n-3}, P_{n+1}, \dots)$ 、 $E_2 = (P_{n-2}, P_{n+2}, \dots)$ 、 $E_3 = (P_{n-1}, P_{n+3}, \dots)$ である。

【0045】それぞれのディジタルフィルタ56は、与えられたインパルス応答の値に、対応するA/Dコンバータ52における位相誤差に基づく係数を乗算した値と、対応するA/Dコンバータ52が出力したデジタル信号とをたたみ込み演算した補正信号を出力する。つまり、A/Dコンバータ52aの理想サンプリングタイミングを基準とした場合、ディジタルフィルタ56aは、インパルス応答 E_0 とデジタル信号とをたたみ込み演算し、ディジタルフィルタ56bは、インパルス応答 E_1 に $e^{-j\omega\tau_1}$ を乗算した補正係数とデジタル信号とをたたみ込み演算し、ディジタルフィルタ56cは、インパルス応答 E_2 に $e^{-j\omega\tau_2}$ を乗算した補正係数とデジタル信号とをたたみ込み演算し、ディジタルフィルタ56dは、インパルス応答 E_3 に $e^{-j\omega\tau_3}$ を乗算した補正係数とデジタル信号とをたたみ込み演算した補正信号をそれぞれ出力する。一例として、4個のディジタルフィルタ56におけるインパルス応答の伝達関数 $H(z)$ は、下式で与えられる。

【数2】

図3に関連して説明したA/Dコンバータ52及びクロック54と同一又は同様の機能及び構成を有する。また、図6に示すディジタルフィルタ56は、図4及び図5に関連して説明したディジタルフィルタ56と同一又は同様の機能及び構成を有する。

【0047】第1インターリーブ部64は、N個のA/D

Dコンバータ52が変換したデジタル信号を、所定の順序に整列させた第1データシーケンスを生成し、出力する。デジタルフィルタ56は、第1インターリーブ部が出力した第1データシーケンスをそれぞれ受け取り、N個のA/Dコンバータがアナログ信号をサンプリングすべき理想サンプリングタイミングと、N個のA/Dコンバータがアナログ信号をサンプリングした実サンプリングタイミングとの位相誤差に基づいた補正係数と、第1データシーケンスとをたたみ込み演算し、第1データシーケンスより少ないデータ数のデシメーションデータをそれぞれ生成し、出力する。デジタルフィルタ56は、図4に関連して説明したデシメーションデータ生成部を有してよい。デジタルフィルタ56は、図4及び図5に関連して説明した処理と同一又は同様の処理で、当該デシメーションデータを生成する。第2インターリーブ部66は、N個のデジタルフィルタ56が出力したデシメーションデータのデータを、所定の順序に整列させた第2データシーケンスを生成する。

【0048】例えば、A/Dコンバータ52がそれぞれデジタル信号のデータ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ を出力した場合、第1インターリーブ部64は、データ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ のデータを、それぞれのデータ列の順序を崩さずに、所定の順序に整列させた第1データシーケンス $y(4n)$ を生成する。データ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ のそれぞれのデータ数を n とすると、第1データシーケンス $y(4n)$ のデータ数は $4n$ である。デジタルフィルタ56はそれぞれ第1データシーケンス $y(4n)$ を受け取り、 $4n$ より少ないデータ数のデシメーションデータ $z_a(m)$ 、 $z_b(m)$ 、 $z_c(m)$ 、 $z_d(m)$ を生成する。デジタルフィルタ56は、図4及び図5に関連して説明したように、受け取ったデータ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ を、それぞれ対応するA/Dコンバータの理想サンプリングタイミングでサンプリングした場合のデータ列に位相変換したデシメーションデータ $z_a(m)$ 、 $z_b(m)$ 、 $z_c(m)$ 、 $z_d(m)$ を生成する。第2インターリーブ部66は、デシメーションデータ $z_a(m)$ 、 $z_b(m)$ 、 $z_c(m)$ 、 $z_d(m)$ のデータを所定の順序に整列させた第2データシーケンスを生成する。

【0049】例えば、データ列 $x_a(n)$ 、 $x_b(n)$ 、 $x_c(n)$ 、 $x_d(n)$ のそれぞれのデータ数を1とした場合、第1データシーケンスのデータ数は4である。デジタルフィルタ56は、それぞれデータ数4の第1データシーケンスを受け取り、データ数1のデシメーションデータを生成し、出力してよい。この場合、第2インターリーブ部66は、データ数が4の第2データシーケンスを生成する。このように、本例におけるディジタルフィルタ50によれば、ディジタルフィルタ

56におけるたたみ込み演算によってサンプリングレートの低下が生じる場合であっても、2個のインターリーブ部を備えることにより、実質的にサンプリングレートの低下を防ぐことができ、且つA/Dコンバータ52における位相誤差を補正することができる。本例においては、ディジタルフィルタ装置50は4個のA/Dコンバータを有していたが、他の例においては、N個のA/Dコンバータを有するディジタルフィルタ装置50であっても、同様にサンプリングレートの低下を防ぎ、且つ位相誤差を補正することができる。

【0050】以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0051】

【発明の効果】上述説明から明らかなように、本発明に係るディジタルフィルタ装置50によれば、A/Dコンバータ52における位相誤差を補正し、電子デバイス60が出力したアナログ信号を精度よくディジタル信号に変換することができる。また、本発明に係る試験装置100によれば、電子デバイス60が出力したアナログ信号を精度よくディジタル信号に変換することができ、精度よく電子デバイス60の良否を判定することができる。また、アナログ信号をサンプリングするサンプリング周波数を容易に変更することができる。

【図面の簡単な説明】

【図1】 本発明に係る試験装置100の構成の一例を示す。

【図2】 本発明に係るディジタルフィルタ装置50の構成の一例を示す。

【図3】 デジタルフィルタ56の記憶部に格納されるインパルス応答関数の波形、及びA/Dコンバータ52のサンプリングタイミングを示す。

【図4】 本発明に係るディジタルフィルタ装置50の構成の他の例を示す。

【図5】 デジタルフィルタ56のそれぞれのインパルス応答関数の一例を示す。

【図6】 本発明に係るディジタルフィルタ装置50の構成の他の例を示す。

【図7】 従来のディジタルフィルタ装置200の構成を示す。

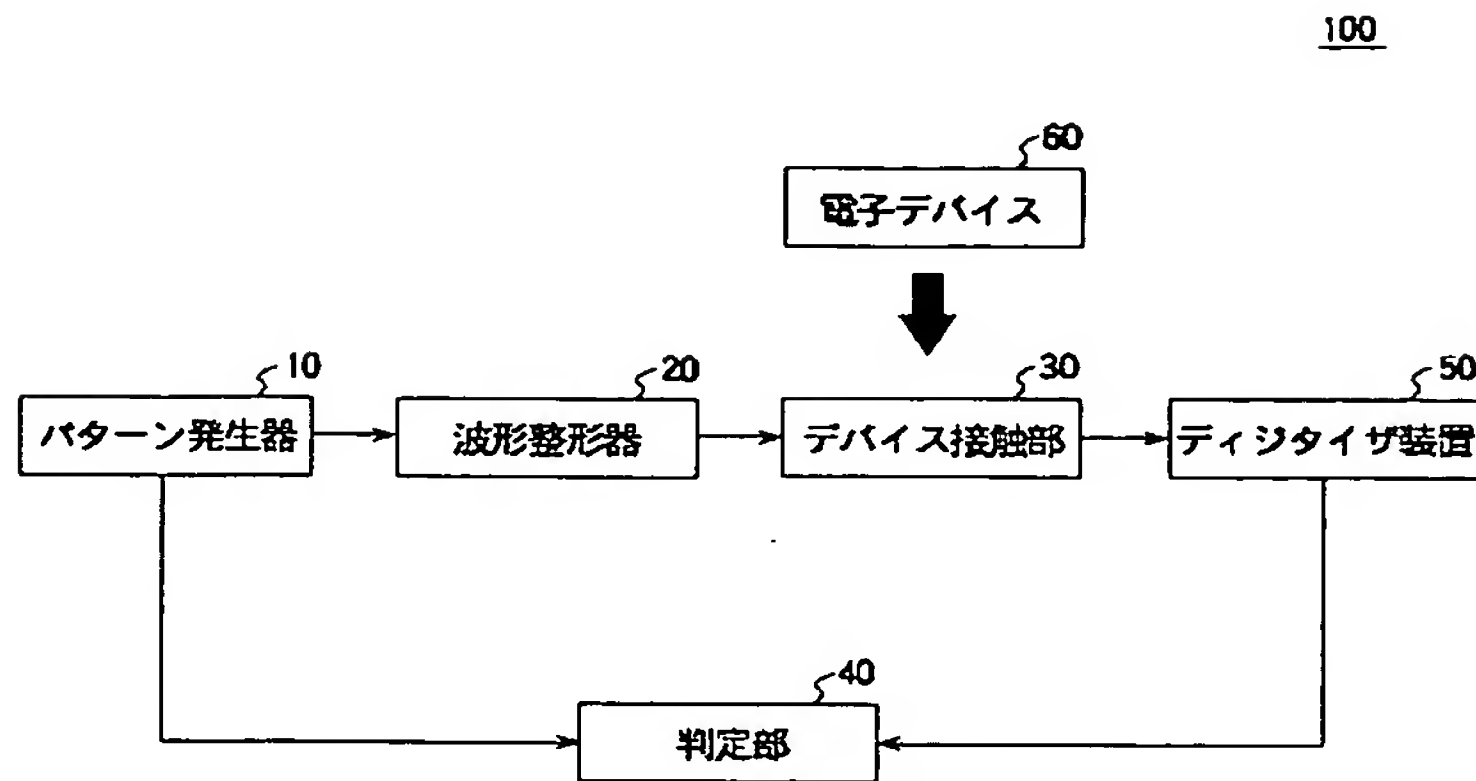
【符号の説明】

10・・・パターン発生器、20・・・波形整形器、30・・・デバイス接触部、40・・・判定部、50・・・ディジタルフィルタ装置、52・・・A/Dコンバータ、54・・・クロック、56・・・ディジタルフィルタ、58・・・インターリーブ部、60・・・電子デバイ

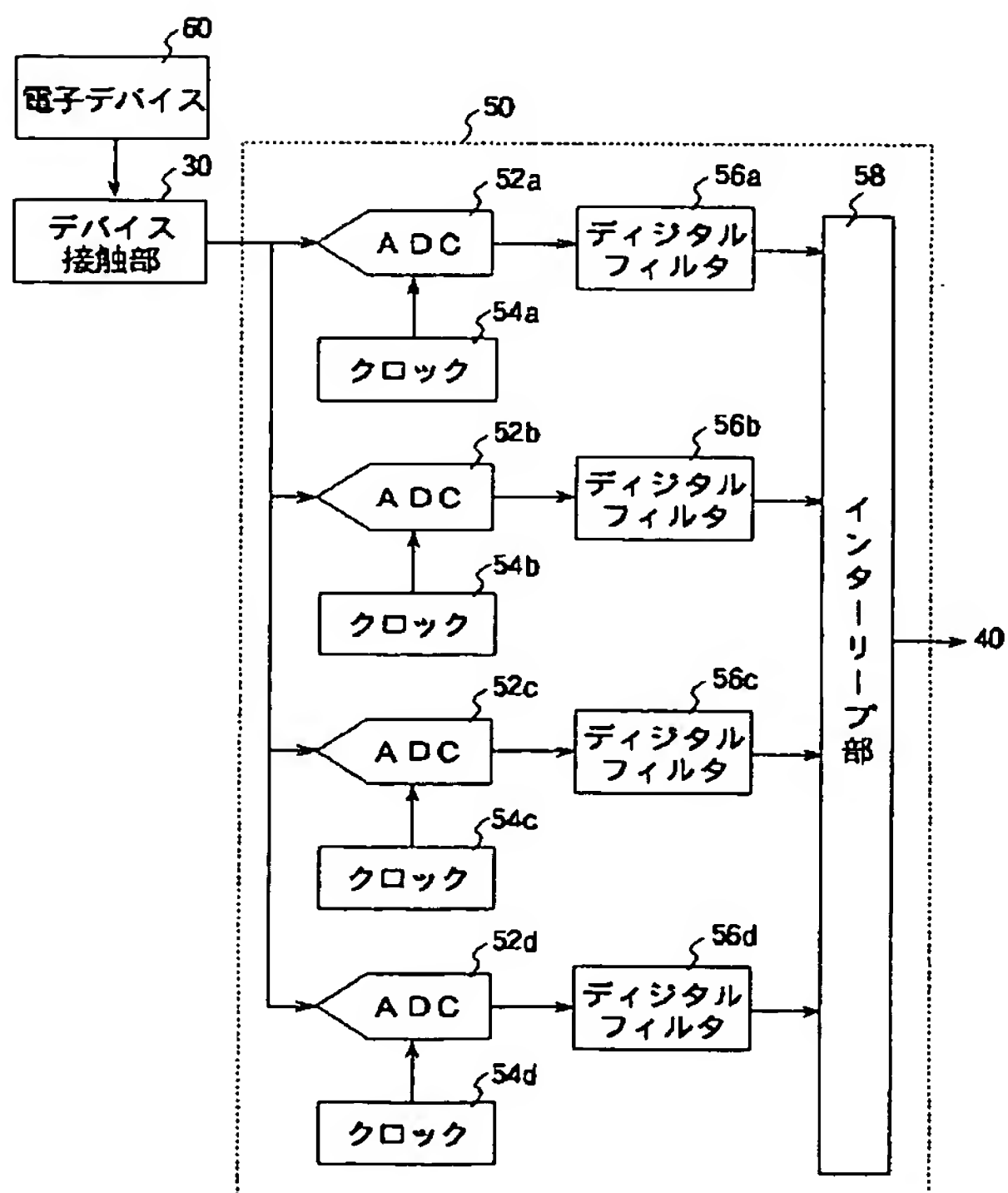
ス、62・・・デシメーションデータ生成部、64・・・
第1インターリーブ部、66・・・第2インターリーブ

部、100・・・試験装置

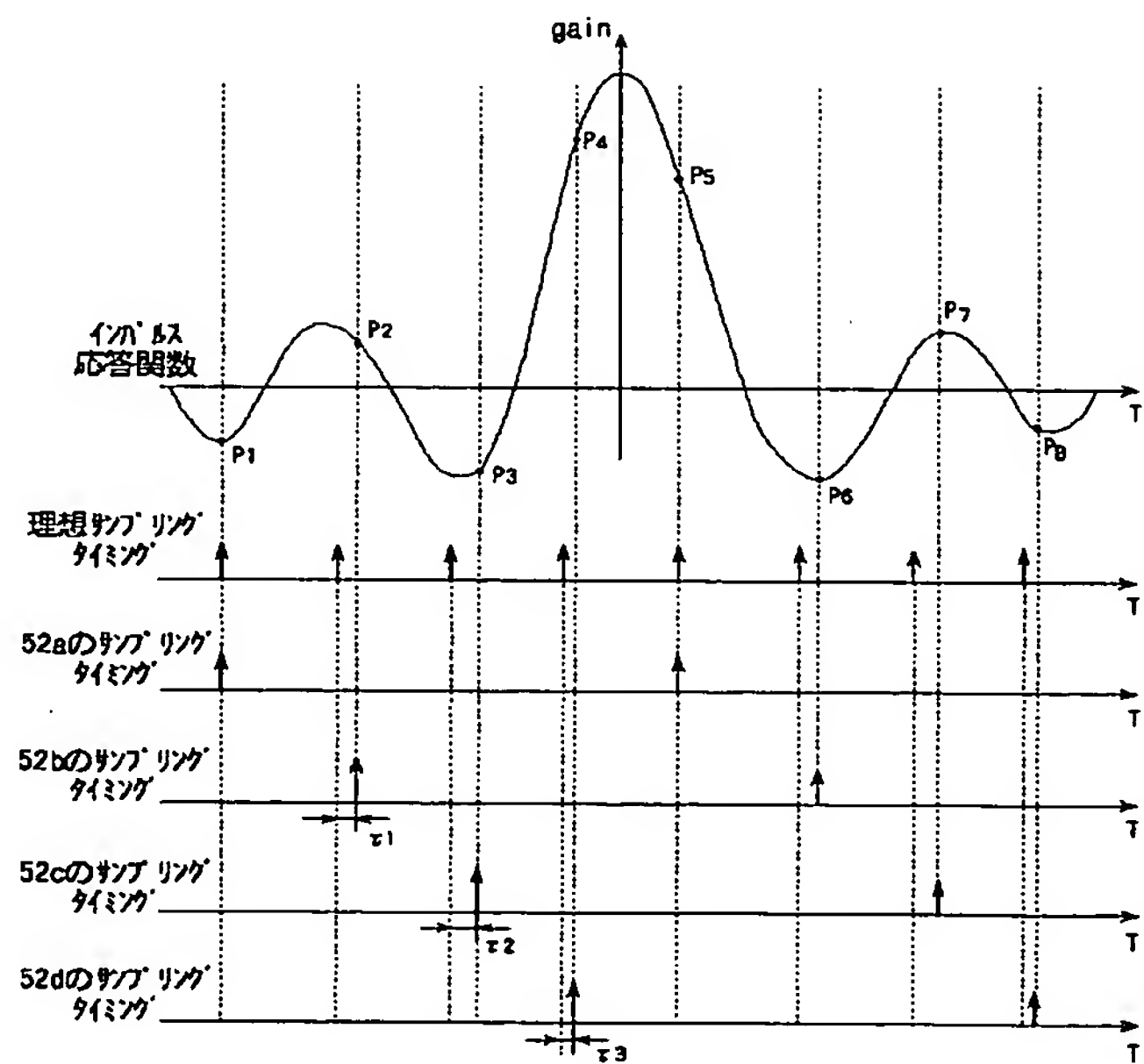
【図1】



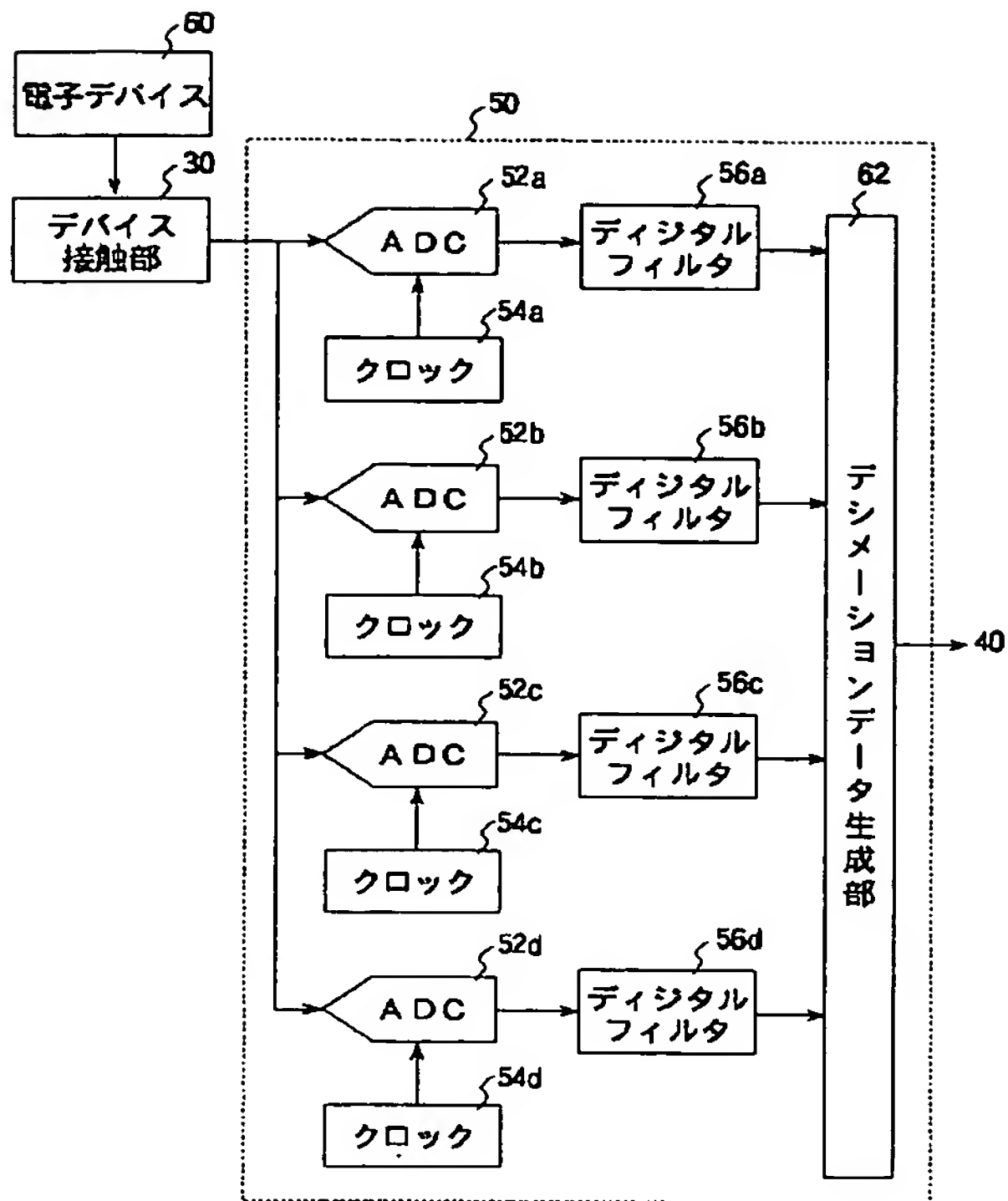
【図2】



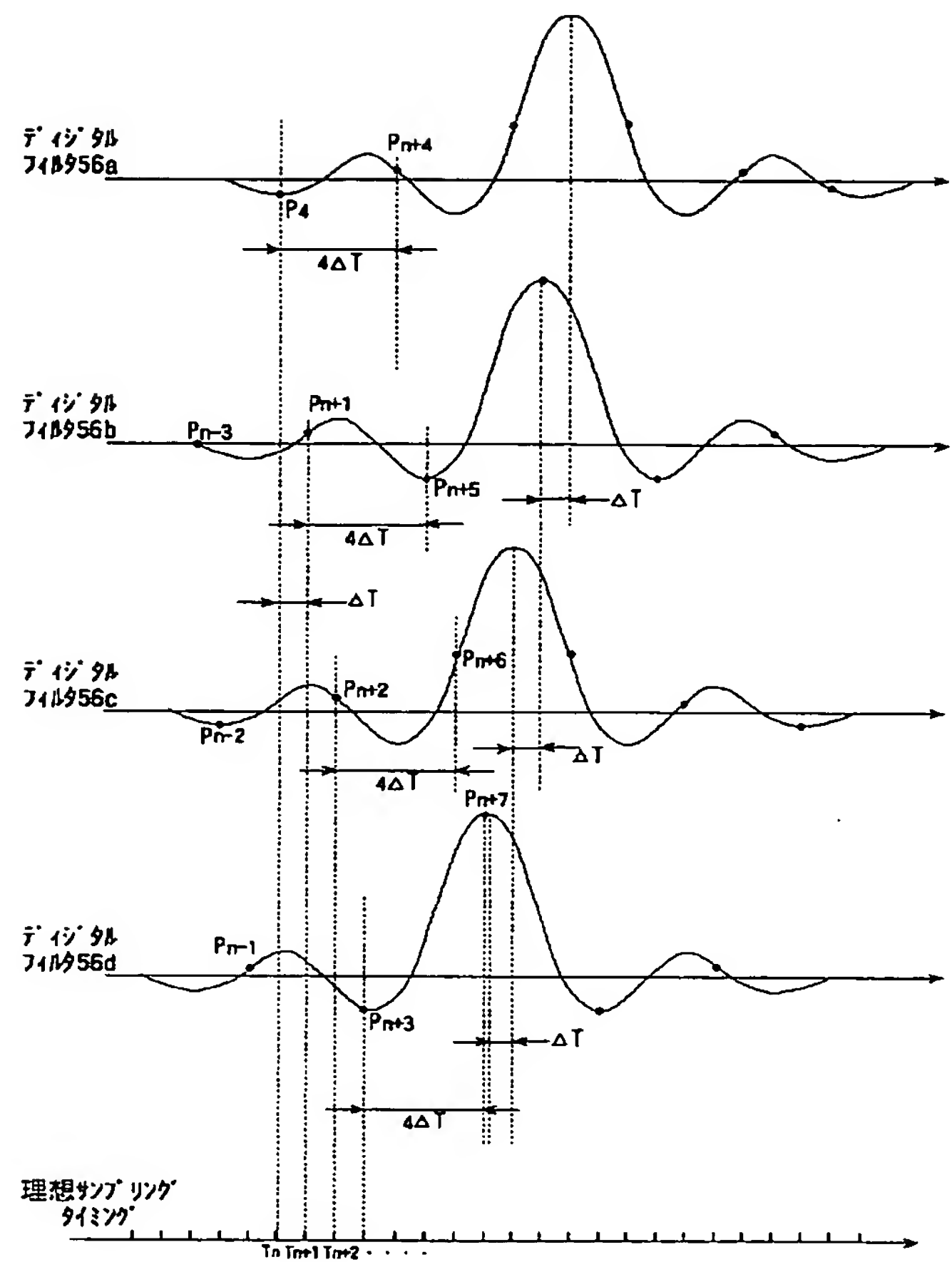
【図3】



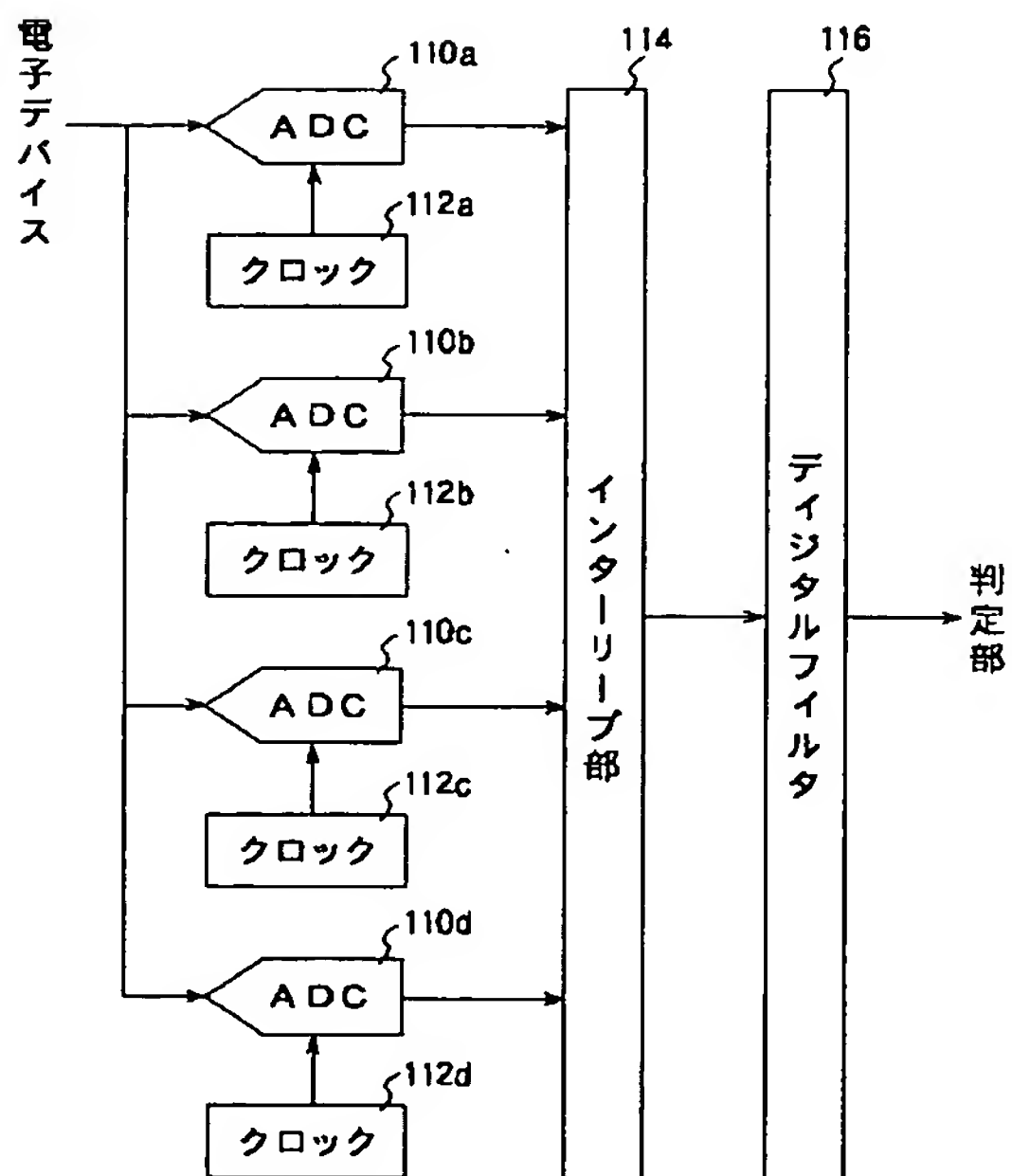
【図 4】



【図 5】



【図 7】



【図 6】

